

高速 DDR3 存储控制器的时钟偏差控制和优化

胡军涛,薛智民,龙 娟,赵 亮,石文侠

(西安微电子技术研究所,陕西 西安 710075)

摘 要: 基于 65 nm 工艺,完成了高性能海量处理器芯片中的高速 DDR3 存储控制器的物理设计. 重点介绍了 DDR3 存储控制器物理设计中的布图布局设计和时钟树设计,并针对 EDA 工具自动生成时钟树导致的 DDR3 PHY 域内总线时钟偏差较大问题,提出并实现精确手动干预关键时钟路径上的时钟树设计优化方法,并进一步采用寄存器逻辑优化方式,成功将 DDR3 PHY 域内总线时钟偏差控制在 30 ps 内,满足设计要求的性能.

关键词: DDR3 存储控制器,布图布局,时钟树,手动干预,时钟偏差

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2018)10-0103-04

Design and Optimize Clock Skew for High-speed DDR3 Memory Controller

HU Jun-tao, XUE Zhi-min, LONG Juan, ZHAO Liang, SHI Wen-xia

(Xi'an Microelectronic Technology Institution, Shaanxi, Xi'an 710075)

Abstract: In this paper, we finish the physical design of DDR3 memory controller in a high-performance and massive data processor chip base on 65 nm process. The paper presented the floorplan and clock tree synthesis of DDR3 memory controller. Due to the biggish bus skew of DDR3 PHY, we recommended the precise manual intervention to clock tree of the critical clock path and made the logical registers optimization. The bus skew of DDR3 PHY was controlled less than 30ps successfully.

Key words: DDR3 memory controller; floorplan; clock tree; manual intervention; clock skew

1 引言

随着微电子技术的不断进步,以 DDR(Double Data Rate,双倍数据速率)为基础的 SDRAM 芯片快速发展,目前市场上的主流应用产品是第三代 DDR SDRAM,即 DDR3 SDRAM.

本文阐述了基于 65 nm 工艺的高性能海量处理器芯片(是一款面向图像处理应用的高性能浮点多核处理器,具有 102.4 GMACs,51.2 GFLOPS 的计算能力,支持 QDR II+存储器接口、RapidIO 接口及 DDR3 存储器接口等)中的高速 DDR3 存储控制器的物理设计,首先介绍了该款 DDR3 存储控制器的整体架构,完成布图布局和时钟树设计;然后针对 DDR3 存储控制器在物理设计阶段难以满足 DDR3 JEDEC 的时序标准(PHY 域之间的时钟偏差要求

小于 100 ps,且越小性能越好)^[1],不能达到 400 MHz 的工作频率和 25.6Gbps 的数据传输率,提出并实现了手动干预时钟关键路径、寄存器逻辑优化方式、制定时钟连线规则等时钟树优化设计的方法,有效地控制 DDR3 PHY 域内的总线时钟偏差.

2 DDR3 存储控制器结构

该款 DDR3 存储控制器主要由 DDR 与片上网络接口传输模块(NOC2DDR),DDR 控制层(DDR_MC),DDR 物理层(DDR PHY)三部分组成,支持 JEDEC79-3D 标准、8 位校验位和 40 位数据总线,是 128 位的从控制器.其中,DDR 与片上网络接口传输模块主要实现了外部片上网络模块、边界扫描测试单元与 DDR3 控制器的桥接.DDR3 控制器由配置状态寄存器接口、系统控制及状态机模块、数据

流模块三部分组成,如图 1 所示.

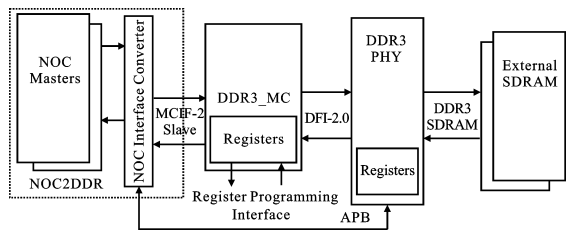


图 1 DDR3 控制器整体结构

DDR3 物理层由 ITM(Interface Timing Module),DDL(Delay-locked Loop)和 DDR3 专用输入输出接口(IO)组成,如图 2 所示.

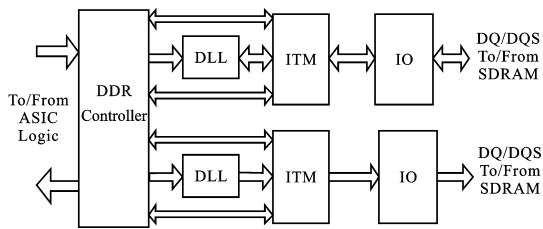


图 2 DDR3 PHY 连接架构

3 DDR3 存储控制器的版图优化设计

版图规划(Floorplan)的主要目的是为模块、IO

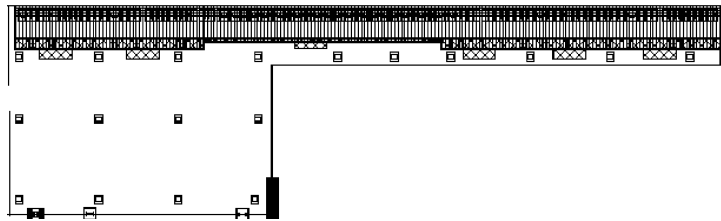


图 3 DDR3 存储控制器版图

DDR3 的 IO 按照功能可以分为信号 IO 和电源 IO,信号 IO 的布局顺序需要与 PHY 的布局相对应,中间穿插电源 IO 来供电. 为了减小延时和串扰,布局时应尽量减小 IO 到 ITM 的距离. 对于数据 PHY 来说,数据选通(DQS/DQS#)信号是时钟信号,因此这两个信号 IO 需要放置于数据 PHY 域的中间位置且有利于减小数据选通信号的偏差,并在两个数据选通信号中间插入一个时钟缓冲器驱动 ITM;8 个数据(DQ)信号 IO 分别放在数据选通信号 IO 的两边,以便于点对点连接. 而对于地址与控制 PHY 来说,差分时钟(CK/CK#)信号是时钟信号,同样的,放置于地址与控制 PHY 域的中间,并在两个差分时钟信号中间插入一个时钟缓冲器驱动 ITM;其余信号 IO 放在差分时钟信号 IO 的两边. 为防止两个 PHY 的数据信号在端口传输时相互干

扰,两个数据 PHY 相邻时中间需要插入 ITM 时钟打断单元,且数据 PHY 和地址与控制 PHY 相邻时中间需要插入隔离电容. 并且在物理设计时把 PHY 与 IO 之间的线网均设置为特殊网络,在 EDA 优化时不加缓冲器,以满足时序收敛要求.

由于整个芯片的顶层布局规划,DDR3 存储控制器模块版图设计为 L 型. 为了最小化版图布局带来的影响,DDR3 的每个 PHY 模块必须完整的放置于芯片的一边. 根据设计经验,DDR3 PHY 布局有两种形状可以选择,即 L 型和长条形;为满足芯片顶层压焊块接口(Pad)布局需要,本文中 PHY 的布局采用长条形.

该款 DDR3 存储控制器中包含 5 个数据 PHY 和 1 个地址与控制 PHY. 根据版图设计规划与数据流向,采用将 5 个数据 PHY 均匀放置在水平方向上,地址与控制 PHY 放置在数据 PHY 中间的布局方式;可以减小时钟到引脚的偏差,且方便引脚与外部 SDRAM 引脚的连接. PHY 模块的方向由引脚确定,即连接 IO 的一边正对 IO 单元,连接标准单元的引脚正对标准单元区域,以缩短连线;同时 PHY 模块与标准单元之间预留 10um 的空白区域,以减小通过衬底传输来的噪声^[3]. 如图 3 所示.

版图规划(Floorplan)的主要目的是为模块、IO 扰,两个数据 PHY 相邻时中间需要插入 ITM 时钟打断单元,且数据 PHY 和地址与控制 PHY 相邻时中间需要插入隔离电容. 并且在物理设计时把 PHY 与 IO 之间的线网均设置为特殊网络,在 EDA 优化时不加缓冲器,以满足时序收敛要求.

对于压焊块接口的规划,要求是从 Pad 到 IO 的线电阻尽量小,即走线长度要尽量短,因此本设计中,将接口直接放置于 IO 外部. 为了最小化驱动和捕获电路引脚到引脚的偏差,IO,ITM,DDL 三部分根据连接关系直接连接,版图规划如图 4 所示.

4 DDR3 存储控制器的时钟树优化设计

时钟树设计的主要目标是使时钟偏差可接受、插入延时最小化,最大限度地为时序收敛服务,并且尽可能减小时钟网络上的功耗、噪声和连

线间耦合^[4]. 因此,时钟树设计对整个芯片的时序、功耗、面积、布线拥塞度以及串扰影响到至关重要的作用.

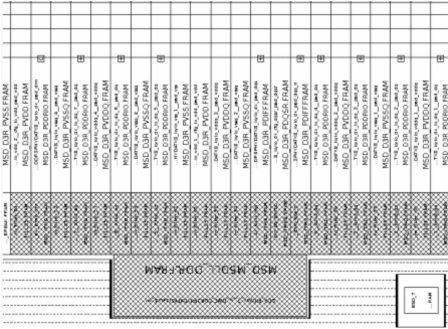


图4 接口布图规划

4.1 DDR3 PHY 之间时钟树优化设计

由于高性能的 DDR3 存储控制器点对点的高速率数据传输,通过优化内部链接难以满足 DDR3 JEDEC 的时序标准(PHY 域之间的时钟偏差要求小于 100 ps,且越小性能越好),所以必须精确控制时钟根节点到各个 PHY 域的连线距离和时钟反相器的数量,以保证时钟根节点到各个 PHY 域的时钟偏差相近且插入延时一致. 由于商用 EDA 工具所做的时钟树无法满足本设计的要求,即 PHY 域之间的时钟树平衡无法达到设计要求,因此 PHY 域之间的时钟树主干需要通过手动干预设计来完成

表1 手动干预优化时钟树前后各个 PHY 域之间的时钟偏差对比 (ps)

	数据 PHY					地址与控制 PHY
	PHY1	PHY2	PHY3	PHY4	PHY5	
EDA 工具自动生成	76	68	124	155	186	72
手动干预设计	25	18	17	20	25	16

4.2 DDR3 的寄存器逻辑优化设计

在手动干预设计时钟树主干完成后,可以采用寄存器聚类方法^[5]来进一步优化时钟树叶级寄存器拓扑结构,以减小时钟偏差. 利用 TCL 语言获取各个 PHY 域时钟树叶级寄存器的个数,并由寄存器的物理位置信息确定寄存器分组的个数,之后再通过反复聚类迭代,使得寄存器的互连线长度减小并在趋近于常数时结束聚类.

4.3 DDR3 时钟树连线优化设计

由于时钟信号是整个芯片上最重要的信号,必须确保时钟树连线尽可能的受到小的干扰,因此对于时钟树的连线通常采用非初始绕线规则 NDR (Non-Default Rules). NDR 规则的实施如下:时钟树连线最好设置在第三层到第五层金属、使用双倍线宽降低连线电阻、使用双倍线间距降低互连线之

成,以减少物理设计过程中的迭代次数. 时钟树主干手动干预设计步骤如下: 第一步:断开时钟 clk_PHY 端口到各个 PHY 的 clk_in 端口网络连接关系. 第二步:从时钟 clk_PHY 端口开始,先预布局 6 级时钟反相器,将 clk_PHY 送至版图中心位置,以增加共同路径. 然后分为左右两条路径,一条经过 8 级时钟反相器延伸至左面时钟树的根节点,另一条经过 8 级反相器延伸至右面时钟树的根节点;在放置时钟反相器的过程中需要精确计算坐标点和控制走线距离,使得 6 条时钟树主干走线的长短一样. 第三步:从时钟 clk_PHY 端口开始,依次连接每条路径上手动放置的时钟缓冲器的网络关系.

PHY 之间时钟树“等长”设计结构如图 5 所示.

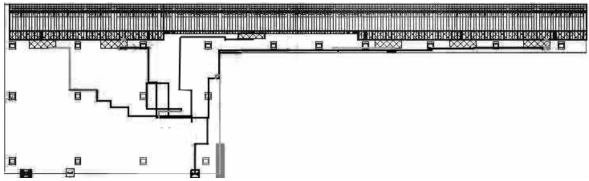


图5 PHY 之间时钟树“等长”

EDA 工具自动生成时钟树与手动干预设计时钟树在 PHY 域线网之间的时钟偏差对比如表 1 所示.

间的串扰噪声、在时钟树连线上使用屏蔽降低其他信号线对时钟信号的串扰噪声、使用双倍大小的孔降低电阻从而改善良率、避免在时钟信号的沉点 (Sink Points) 处加 NDR 规则以防增加布线拥塞等^[6].

时钟路径上采用时钟反相器会减小所用场效应管(FET)^[7]的数量,整个时钟网络的延迟、面积、功耗都会相应减小,所以在时钟树设计时尽量使用时钟反相器.

经过手动干预时钟树规划,时序违例数量急剧减少. 少量的时序违例可以通过插入时钟缓冲器或时钟反相器、变换时钟缓冲器或时钟反相器的大小、更换单元阈值电压等方式^[8]来消除.

通过手动干预时钟树主干设计、寄存器逻辑优化设计、时钟树连线优化设计等,保证了 PHY 域之

间的时钟偏差最小,经过时序检查最坏端角下最大时钟偏差为 30 ps,远小于设计性能要求的 100 ps 以内.

5 DDR3 存储控制器物理设计结果

通过前期的布图布局、电源规划、时钟树设计、布线和静态时序修复,最终所有模式-端角下的时序检查均满足设计要求,并对该款 DDR3 存储控制器进行了功耗、电压降、物理设计规则验证等分析,具体结果如表 2 所示.

表 2 DDR3 存储控制器设计结果

属性	数值
标准单元数量	4 250 452
最大工作频率	400 MHz
最大数据率	25.6 Gbps
面积	$8.5\times2.6\text{ mm}^2$
最大电压降	2.8%
功耗	1.425 W
时序验证	通过
物理验证(DRC/LVS)	通过

6 结束语

本文基于 65 nm 工艺,完成了自主研发的高性能海量处理器芯片中的 DDR3 存储控制器的物理设计实现工作,包括布图规划、PHY 模块布局、IO 布局、时钟树设计等,重点提出并实现了手动干预设计关键时钟路径上的时钟树.文中通过手动干预时钟树主干设计有效减小了时钟偏差,并且通过寄存器逻辑优化设计、时钟树连线优化设计等进一步减小时钟偏差,成功将 DDR3 PHY 域内的时钟偏差控制在 30 ps 内,保证了 400 MHz 的工作频率和 25.6 Gbps 的数据传输率,并且在时序分析时减少

了迭代次数.

参考文献:

[1] Joint Electron Device Engineering Council. JESD79-3. DDR3 SDRAM SPECIFICATION [S]. Arlington: JEDEC, 2010.

[2] 陈春章,艾霞,王国雄. 数字集成电路物理设计[M]. 北京:科学出版社,2005.

[3] 裴秉玺,李振涛,黄东昌,等. 2133Mb/s DDR3 存储接口的物理设计[J]. 微电子学与计算机,2017,34(7): 79-83.

[4] Sharma H, Mervin J, Selvakumar D. DDR3 Interconnect Optimization-Signal Integrity and Timing Analysis Perspective [C]//2015 International Conference on Control, Electronics, Renewable Energy and Communications. Bali:ICCEREC,2015

[5] 符仕聪. 基于寄存器聚类的低功耗 DDR PHY 时钟树设计[D]. 南京:东南大学,2016.

[6] 张玲,王澧. 百万门系统级芯片的时钟树设计[J]. 电子与封装,2014,14(12):21-24.

[7] 刘杨,谢亮,聂拓,等. 一种数模混合芯片中数字电路的时序收敛方案[J]. 固体电子学研究进展,2013, 33(4):394-397.

[8] 周广,何明华. ASIC 后端设计中的时钟树综合[J]. 现代电子技术,2011,34(8):137-139.

作者简介:

胡军涛 男,(1988-),硕士研究生. 研究方向为集成电路物理设计. E-mail:550478025@qq.com.

薛智民 男,(1959-),研究员. 超大规模集成电路设计与工艺技术.

龙娟 女,(1980-),硕士,高级工程师. 研究方向为集成电路物理设计.

赵亮 男,(1984-),硕士,高级工程师. 研究方向为集成电路物理设计.